

ABSTRACT OF Korean Patent Application No. 10-2000-0036823

There is provided a semiconductor memory device and a method for fabricating the same. According to the present invention, the semiconductor memory device is efficiently capable of efficiently preventing plug's oxidation caused by forming a dielectric layer in an oxidation ambient of high temperature. In order to overcome plug's oxidation in a process of forming a dielectric layer requiring an oxygen ambient of high temperature such as BST, PZT and SBT, a plug is formed of platinum having excellent electric conductivity and high-temperature aerotolerant characteristic. In addition, a capacitor bottom electrode for storage is formed by stacking IrO_2 and Pt, which have excellent oxygen-diffusion prevention characteristic.

号 2002-0002599

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(5) Int. Cl.

HOML 27/10

(11) 공개번호 獨2002-0002599

(49) 공개일자 2002년01월10일

(21) 등록번호 10-2000-0036823

(22) 발원일자 2000년 06월 30일

(2) **주식회사의 하미드스만도체** 박종철

경기 이천시 부발읍 매곡리 서쪽-1

(72) 발명자

경기도과천시보림동49조골마파트809-505

(74) 머리인 특허법인 신성

실사연구 : 민족

(54) 물리 그의 산출물 효과적으로 방지할 수 있는 반도체메모리 소자 및 그 제조 방법

足矣

[illegible]

045

53

4P/01

반도체, 메모리, 소자, 캐패시터, 유전막, 플러그, Pt, 확산장벽, IrO2

五、

도전의 장대한 삶

도 1은 증류 기술에 따른 반도체 메모리 소자 제조 공정 단면도.

도 28 내지 도 32는 본 발명의 실시 예에 따른 반도체 메모리 소자 제조 공정 단면도.

* 도요의 자카와니 호피가 너 호피의 자카와니 호피도 *

36: 확산잠벽막

37: 플러그용 Pt막

38: 하부전극을 110.와

39: 하부전극을 막

40: 유전학

41: 삼복전극용 Pt막

업종의 삼세균 실태

연구의 목적

알뜰이 속하는 기호 및 그 부아의 종래기호

본 발명은 반도체 메모리 소자 제조 분야에 관한 것으로 특히, 고온 산화 분위기에서 형성되는 유전막을 캐패시터의 유전물질로 구비하는 반도체 메모리 소자에 있어서, 플러그 산화를 효과적으로 방지할 수 있는 반도체 메모리 소자 및 그 제조 방법에 관한 것이다.

도 2002-0002599

첨가된 도면 도 1은 BST($\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$)와 같은 고유전체층 캐패시터의 축전 물질로 사용하는 고집적 DRAM 소자 및 PZT($\text{Pb}(\text{Zr,Ti})_{1-x}\text{O}_3$) 또는 SBT($\text{SrBi}_2\text{TaO}_9$)와 같은 강유전체층 캐패시터 물질로 사용하는 FRAM 소자의 개략적인 메모리 셀 단면도이다.

도 1에 보이는 바와 같이 종래 기술에 따른 반도체 메모리 소자의 제조 과정은, 소자분리막(11) 그리고 게이트 절연막(12)과 게이트 전극(13) 및 액티브 영역(14)으로 이루어지는 트랜지스터 형성이 완료된 반도체 기판(10)을 갖는 중간절연막(15) 내에 상기 트랜지스터의 액티브(14)를 노출시키는 콘택홀을 형성하고, 상기 콘택홀 내에 폴리실리콘 플러그(polysilicon plug)(16)를 형성한 다음, 전체 구조 상에 확산방지막(17)을 형성하고, 하부전극(18), 유전막(20) 및 상부전극(19)을 적층하여 캐패시터를 형성하는 과정을 포함한다.

FRAM 또는 DRAM 등과 같은 반도체 메모리 소자의 캐패시터는 상부전극(20), 전하 저장을 위한 유전막(19) 및 하부전극(18)의 적층구조로 구성되고, 폴리실리콘 플러그(16)를 통하여 트랜지스터의 액티브 영역(드레인)(14)과 전기적으로 연결된다. 캐패시터에 저장되었던 전하는 트랜지스터의 채널을 통과하여 반대편 액티브 영역(소오스)(도시하지 않음)을 지나서 비트라인(도시하지 않음)으로 빠져나간다.

BST와 같은 고유전체 또는 PZT 및 SBT와 같은 강유전체는 박막의 제조공정 온도가 매우 높고 일반적으로 산소분위기에서 공정이 진행된다. 또한, 캐패시터 형성 후에도 전기적 특성을 향상시키기 위해 고온의 산소분위기에서 후속 열처리 공정을 실시하여야 하는데, BST 및 PZT의 경우는 보통 600 °C 내지 750 °C, SBT의 경우는 보통 700 °C 내지 850 °C 온도에서 열처리 공정을 진행한다. 그런데 이와 같은 고온, 산소분위기에서 유전체를 증착하거나 후속 열처리를 진행하면 산소가 캐패시터 박막 내부로 침투하게 되고, 침투한 산소는 폴리실리콘 플러그(16)의 표면을 산화시켜 하부전극(18)과 폴리실리콘 플러그(16) 계면에 양의 SiO_2 절연막이 형성되어 전하 저장 캐패시터와 트랜지스터의 액티브 영역 간의 전기적 연결이 끊어지는 문제가 생긴다. 뿐만 아니라 하부전극을 Pt로 형성하여 Pt와 SiO_2 직접 접촉하게 될 경우, 250 °C 이상의 온도에서 Pt와 SiO_2 반응하여 PtSi 가 쉽게 형성됨으로써 접촉저항을 크게 증가시키는 문제가 생긴다.

이러한 문제점을 해결하기 위하여 종래에는 도 1에 보이는 바와 같이, 캐패시터의 하부전극(18)과 폴리실리콘 플러그(16) 사이에 산소 및 SiO_2 에 대한 확산장벽막(17)을 형성한다. 이와 같이 폴리실리콘 플러그의 산화 및 PtSi 가 형성되는 문제를 해결하기 위해 종래에는 상기 확산장벽막(17)을 TiN , $(\text{Ti,Al})\text{N}$ 및 $(\text{Ti,Si})\text{N}$ 등과 같은 Ti 질화막으로 형성한다.

그러나 Ti 질화막은 여전히 산소분위기, 550 °C 이상의 온도 조건에서 쉽게 산화되는 특성을 보인다. 즉, 캐패시터 형성 중에 하부전극을 통과한 산소가 TiN , TiAlN 및 TiSiN 등과 같은 Ti 질화막 또는 폴리실리콘 플러그와 반응하면 이들 박막의 표면에 TiO_2 , Al_2O_3 또는 SiO_2 와 같은 절연막을 형성한다.

따라서, 하부전극을 통해 확산장벽막으로 산소가 통과하는 것을 최대한 억제시키려는 시도가 함께 이루어지고 있다. 이러한 목적의 하부전극(18)으로는 Pt/Ir , IrO_2/Ir , $\text{Pt/IrO}_2/\text{Ir}$ 또는 Pt/Ru 와 같이 산소와 반응하여 산화물을 형성하더라도 전도성이 높은 특성을 갖는 Ir 및 Ru 등을 포함한 복합전극에 대한 연구가 진행되고 있다. 그러나, 이들 복합 전극도 아직까지 650 °C 이상의 온도에서는 산소의 확산 침투를 완벽하게 방지하지 못하는 문제가 있다.

따라서, BST, PZT 또는 SBT와 같이 고온 산화 분위기에서 형성되는 유전막을 캐패시터의 축전물질로 채용하는 고집적 DRAM 및 FRAM 소자 제조 과정에서 폴리실리콘 플러그의 산화를 효과적으로 방지하지 못하는 어려움이 있다.

본 발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위한 본 발명은 고온 산화 분위기에서 유전막을 형성함에 따른 플러그의 산화를 효과적으로 방지할 수 있는 반도체 메모리 소자 및 그 제조 방법을 제공하는데 목적이 있다.

발명의 구성 및 작용

상기와 같은 목적을 달성하기 위한 본 발명은, 트랜지스터 형성이 완료된 반도체 기판; 상기 반도체 기판을 덮는 중간절연막; 상기 중간절연막 내에 형성되어 상기 트랜지스터의 액티브 영역을 노출시키는 콘택홀; 상기 콘택홀 내에 형성된 Pt 플러그; 및 상기 중간절연막 및 상기 Pt 플러그를 덮는 하부전극, 유전막 및 상부전극으로 이루어지는 캐패시터를 포함하는 반도체 메모리 소자를 제공한다.

또한 상기 목적을 달성하기 위한 본 발명은, 트랜지스터 형성이 완료된 반도체 기판 상에 중간절연막을 형성하는 제1 단계; 상기 중간절연막을 선택적으로 식각하여 상기 트랜지스터의 액티브 영역을 노출시키는 콘택홀을 형성하는 제2 단계; 상기 콘택홀 내에 Pt 플러그를 형성하는 제3 단계; 및 상기 중간절연막 및 상기 Pt 플러그를 덮는 하부전극, 유전막 및 상부전극으로 이루어지는 캐패시터를 형성하는 제4 단계를 포함하는 반도체 메모리 소자 제조 방법을 제공한다.

본 발명은, 종래 BST, PZT 및 SBT와 같이 고온 산화 분위기 조건을 요구하는 유전막 형성 공정 중 일어나는 플러그의 산화문제를 해결하기 위해서, 고온 내산화 특성 및 전기 전도성이 우수한 백금(Pt)으로 플러그를 형성하는데 그 목적이 있다. 또한, 산소확산방지 특성이 우수한 IrO_2 및 Pt를 적층하여 캐패시터 하부전극을 형성하는데 또 다른 특징이 있다.

Doc: 2002-0002590

확산 장벽층 또는 플러그가 산화되는 것을 방지하려면 산소가 확산 장벽층에 도달하기 어렵게 만들어주면 된다. 종래 기술에서 하부전극으로 널리 사용되고 있는 백금(Pt)은 일반적으로 스퍼터링법(Sputter deposition)이나 유기금속 화학기상 증착법(Metal organic Chemical Vapor Deposition: MOCVD)으로 형성하는데, 이렇게 형성된 Pt 박막은 주상 형태(Columnar type)의 다결정체이며 두께는 보통 500 Å 내지 2000 Å 정도이다. 따라서, 종래 캐패시터 형성 공정 중에 산소는 주상 형태의 결정립으로 이루어진 두께 2000 Å 이하의 Pt 하부전극을 쉽게 통과하여 Ti 접착층에 도달한다.

Pt 박막 표면에서 산소가 어떤 임의의 온도(T) 및 시간(t)에서 Pt 박막 내부를 통과하여 일정거리 x에 도달할 때, 도달거리(x_0)와 온도(T) 및 시간(t)사이에는 다음의 수식식(1)과 같은 관계가 있다.

$$x_0 = \sqrt{4Dt} \quad (235)$$

수식식(1)에서, 'k'는 비례상수이고, 'D'는 임의의 주어진 온도(T)에서 Pt 박막 내의 산소 확산계수로서 Pt 박막의 결정립 형태 등에 의해서 약간의 영향을 받는 변수이다. 't'는 확산에 주어진 시간, 예를 들면 캐패시터 형성 공정 시간 및 후속 열처리공정 시간이고, ' x_0 '는 산소가 Pt 박막 내부를 확산 통과하여 도달할 수 있는 거리이다. 따라서, ' x_0 '가 하부전극 Pt의 두께에 비해 클 경우, 즉, ' x_0 ' > 2000 Å이면 확산장벽층은 산화된다. 그러므로, 확산장벽층이 산화되는 것을 방지하려면, Pt두께를 매우 두껍게 하고, 동시에 Pt 결정립의 형태를 산소가 쉽게 통과하기 쉬운 주상형(Columnar-type grain) 구조에서 산소가 쉽게 통과하기 어려운 입상형(granule-type grain) 구조로 변화시키면 산소의 확산을 억제하는데 매우 유리하다.

본 발명에서는 Pt를 하부전극 용도뿐만 아니라 콘택층 내부를 채우는 플러그 물질로도 사용함으로써 Pt 박막의 두께를 실질적으로 크게 증가시켜 산소의 확산거리를 크게 증가시킨다.

또한 본 발명에서는, 콘택층 내부를 Pt로 채우기 위해서 메탈(gap-fill) 특성이 매우 뛰어난 전기도금법(ElectroChemical Deposition: ECD)을 사용한다. ECD 방법으로 형성된 Pt를 사용함으로써 얻게 되는 또 하나의 장점은 비저항을 낮추기 위해서 Pt 메탈공정 후에 실시하는 500 °C 이하의 고속 열처리 공정에서 Pt 결정립의 모양을 입상형(granule-type grain)으로 재결정화시킬 수 있다는 점이다. Pt 결정립이 입상형이 되면, Pt의 결정립계를 통해 확산하는 산소의 실제 확산거리를 더욱 증가시킬 수 있다. 따라서 콘택층 내부를 ECD 방법으로 형성된 Pt막으로 채워 Pt 플러그를 형성함으로써 플러그의 Pt막 두께의 증가 외에 Pt 박막 내부에서 산소가 확산하지는 않는 확산경로를 크게 증가시키는 장점이 있다.

또한, 본 발명에서는 Pt 하부전극과 층간절연막 사이의 접착력을 증대시키기 위하여, 접착력 및 산소 확산 장벽 특성이 우수한 IrO₂층을 먼저 증착하고, Pt막을 증착하여 IrO₂층과 Pt막의 적층 구조로 이루어지는 하부전극을 형성한다.

이하, 첨부된 도면 도 2a 내지 도 2h를 참조하여 본 발명의 실시예에 따른 반도체 메모리 소자 제조 방법을 상세하게 설명한다.

먼저 도 2a에 보이는 바와 같이, 실리콘 기판(30)에 소자블리막(31) 그리고, 게이트 절연막(32)과 게이트 전극(33) 및 액티브 영역(34)으로 이루어지는 트랜지스터를 형성한다.

다음으로 도 2b에 도시한 바와 같이, 전체 구조 상에 층간절연막(35)을 형성하고, 높낮이 차이를 없애기 위해 화학적기계적 연마하여 평탄하게 만든 후, 액티브 영역(34)을 노출시키는 콘택홀(C)을 형성한다.

이어서 도 2c에 보이는 바와 같이, 전체 구조 상에 Ti막/TiN 적층 구조로 이루어지는 확산방지막(36)을 형성하고, Si 기판(30)과 Ti막(31)을 반응시켜, 접촉 저항을 감소시키는 Ti-실리사이드(Ti-silicide)(도시하지 않음)를 형성시키기 위한 열처리 공정을 실시한다.

다음으로 도 2d에 도시한 바와 같이, 전기도금법으로 확산방지막(36) 상에 Pt를 전착(電着)시켜 콘택층 내부를 채우는 플러그용 Pt막(37)을 형성한다. 이와 같이 메탈특성이 매우 우수한 전기도금법(ElectroChemical Deposition: ECD)으로 백금(Pt)을 전착시켜 콘택층 내부를 채워 Pt 플러그를 형성한 후, 열처리를 실시한다. 상기 열처리 공정은 ECD법으로 증착된 플러그용 Pt막(37)의 결정(grain)을 재결정화시켜서 입상형(Granule-type grain)으로 만들어 주기 위해 실시하는 것이다. Pt 결정립을 입상형으로 만들어 주면, Pt 결정립계를 따라서 이동하는 산소의 확산 경로가 길어지는 장점이 있다.

이어서 도 2e에 보이는 바와 같이, 층간절연막(35)이 노출될 때까지 플러그용 Pt막(37)과 확산방지막(36) 제거하여, 플러그용 Pt막(37)과 확산방지막(36)이 콘택층 내부에만 남도록 하여 Pt 플러그를 형성한다.

다음으로 도 2f에 도시한 바와 같이, 전체 구조 상에 산소확산 방지층 위한 IrO₂막(38) 및 하부전극용 Pt막(39)을 스퍼터링법으로 증착한다.

이어서 도 2g에 보이는 바와 같이, 마스크 공정과 식각 공정을 실시하여 하부전극용 Pt막(39)과 IrO₂막(38)을 패터닝하여 IrO₂막(38) 패턴 및 Pt막 하부전극을 형성한다.

다음으로 도 2h에 도시한 바와 같이, 전체 구조 상에 유전막(40) 및 상부전극용 Pt막(41)을 증착하여 패디스탈 형(Pedestal-type) 구조의 캐패시터를 형성한다. 상기 유전막은 DRAM의 경우 (Ba,Sr)TiO₃(BST)와 같은 고유전 특질로 형성하고, FRAM의 경우는 PbZrTiO₃(PZT) 또는 SrBi₂TaO₆(SBT)과 같은 강유전체 물질로 형성한다.

전술한 바와 같이 이루어지는 본 발명은 종래의 플리실리콘 플러그를 대신하여 ECD 방법으로 Pt를 증착하고 열처리를 실시하여, 플러그를 이루는 Pt막의 결정립을 입상형(granule-type grain)으로 만들어 줌으로

국 2002-0002333

새 산소의 확산계수를 크게 증가시켜, 캐패시터 제조공정 중 산소가 Pt 막막의 결장밀폐를 통과하여 Ti층 화학 표면에 도달하는 것을 효과적으로 억제할 수 있다.

플러그의 길이는 보통 12000 Å 이상이다. 따라서 본 발명과 같이 Pt로 플러그를 형성할 경우의 Pt 하부전극의 최대두께가 2000 Å임을 고려할 때, 7 배 이상 Pt 두께가 증가하는 효과를 갖는다. 따라서, 산소가 캐패시터 제조 공정 중에 14000 Å 두께의 Pt막을 붓고 그 하부에 위치한 확산장벽막(36)에 도달하는 것을 효과적으로 억제할 수 있다.

또한, 하부전극과 플러그 사이에 고온 산소 분위기에서 산소에 대한 확산 장벽 특성이 우수한 Ir₂O₃층이 위치함으로써 산소가 Pt 플러그 속으로 확산 침투하는 것을 더욱 더 효과적으로 방지할 수 있다. 또한 상기 Ir₂O₃층은 Pt 하부전극과 용간절연막의 접착력을 크게 증가시킴으로써 하부전극의 식각 공정 및 세정 공정에서 Pt 하부전극이 벗겨지는 것을 효과적으로 억제할 수 있다.

이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

효과의 효과

상기와 같이 이루어지는 본 발명은, ECD법으로 증착된 Pt 플러그 및 Pt와 Ir₂O₃이 적층된 하부전극을 형성함으로써, 종래 확산방지막인 TiN 및 폴리실리콘 플러그가 산화됨에 따른 플러그 저항률 증가를 방지하고, 하부전극을 용간절연막에 강력하게 정착시킴으로써 BST, PZT 및 SBT를 캐패시터 용도로 사용하는 고정적 메모리 소자용 용이하게 제조할 수 있다.

(57) 청구의 범위

청구항 1. 반도체 메모리 소자에 있어서,

트랜지스터 형성이 완료된 반도체 기판;

상기 반도체 기판을 덮는 용간절연막;

상기 용간절연막 내에 형성되어 상기 트랜지스터의 액티브 영역을 노출시키는 콘택홀;

상기 콘택홀 내에 형성된 Pt 플러그; 및

상기 용간절연막 및 상기 Pt 플러그를 덮는 하부전극, 유전막 및 상부전극으로 이루어지는 캐패시터를 포함하는 반도체 메모리 소자.

청구항 2. 제 1 항에 있어서,

상기 하부전극은,

용간절연막 및 상기 Pt 플러그 상에 차례로 적층된 Ir₂O₃막 및 Pt막으로 이루어지는 것을 특징으로 하는 반도체 메모리 소자.

청구항 3. 제 1 항 또는 제 2 항에 있어서,

상기 플러그와 상기 반도체 기판 사이에 확산방지막을 더 포함하는 것을 특징으로 하는 반도체 메모리 소자.

청구항 4. 제 3 항에 있어서,

상기 유전막은,

(Ba,Sr)TiO₃(BST), PbZrTiO₃(PZT) 또는 SrBi₂TaO₉(SBT)으로 이루어지는 것을 특징으로 하는 반도체 메모리 소자.

청구항 5. 반도체 메모리 소자 제조 방법에 있어서,

트랜지스터 형성이 완료된 반도체 기판 상에 용간절연막을 형성하는 제1 단계;

상기 용간절연막을 선택적으로 식각하여 상기 트랜지스터의 액티브 영역을 노출시키는 콘택홀을 형성하는 제2 단계;

상기 콘택홀 내에 Pt 플러그를 형성하는 제3 단계; 및

상기 용간절연막 및 상기 Pt 플러그를 덮는 하부전극, 유전막 및 상부전극으로 이루어지는 캐패시터를 형성하는 제4 단계

를 포함하는 반도체 메모리 소자 제조 방법.

독 2002-0002593

청구항 6. 제 5 항에 있어서,

상기 제2 단계 후,

상기 제2 단계가 완료된 전체 구조 상에 확산방지막을 형성하는 단계를 더 포함하고,

상기 제3 단계는,

전기도금법으로 상기 확산방지막 상에 Pt막을 전착하는 단계;

상기 Pt막을 열처리하여 상기 Pt막의 굴곡을 입상정으로 변화시키는 단계; 및

상기 용간결연막이 노출될 때까지 상기 Pt막 및 상기 확산방지막을 제거하여 상기 Pt 볼러그를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 소자 제조 방법.

청구항 7. 제 5 항 또는 제 6 항에 있어서,

상기 하부전극은,

용간결연막 및 상기 Pt 볼러그 상에 차례로 적층된 IrO_2 막 및 Pt막으로 형성하는 것을 특징으로 하는 반도체 메모리 소자 제조 방법.

청구항 8. 제 6 항에 있어서,

상기 확산방지막은,

Ti막 및 TiN막을 적층하여 형성하는 것을 특징으로 하는 반도체 메모리 소자 제조 방법.

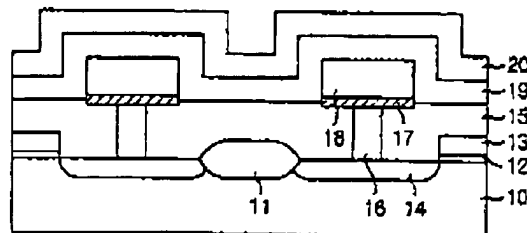
청구항 9. 제 7 항에 있어서,

상기 유전막은,

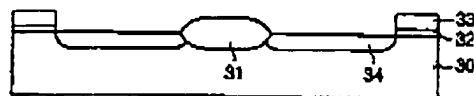
$(Ba, Sr)TiO_3$ (BST), $PbZrTiO_3$ (PZT) 또는 $SrBi_2Ta_2O_9$ (SBT)으로 형성하는 것을 특징으로 하는 반도체 메모리 소자 제조 방법.

도면

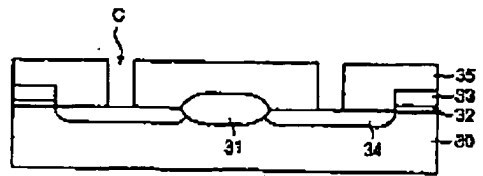
도면1



도면2



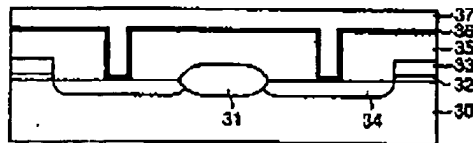
5B2b



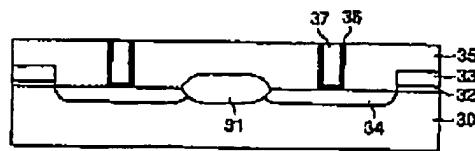
5B2b



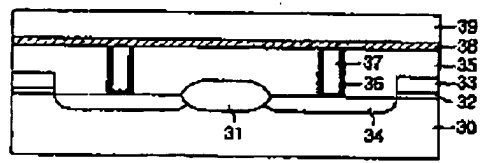
5B2b



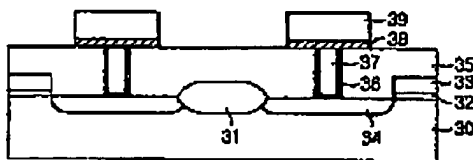
5B2b



5B2b



5B2b



7-6

도 7

